



用户手册

3通道LED恒流驱动IC

FW1934

V1.0

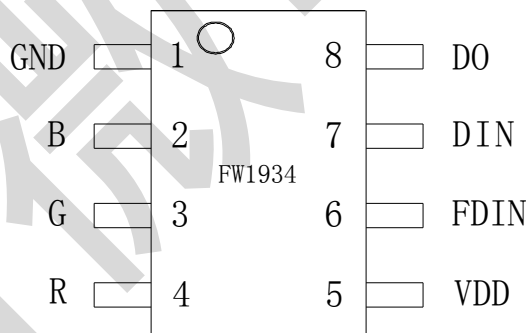
特性描述

FW1934是一颗 3 通道LED恒流驱动专用芯片，可通过双通道数字接口（DIN、FDIN）互相切换输入，与DO口级联，外部控制器只需单线即可对芯片进行控制。芯片内部集成有MCU单线双通道数字接口、LED恒流驱动、PWM辉度控制等电路。VDD引脚内部集成 5V稳压管，外围器件少。适用全彩外漏灯等LED装饰类产品。本产品性能优良，质量可靠。

功能特点

- 采用功率CMOS工艺，OUT输出端口耐压 24V
- VDD内置 5V稳压管，最高可耐压至9V
- 采用归 0 码，串行数据传输速率 800KHz
- 固定恒流输出 14mA
- PWM辉度控制电路，256 级辉度可调
- 精确的电流输出值
(通道与通道)最大误差: $\pm 3\%$
(芯片与芯片)最大误差: $\pm 5\%$
- 单线双通道串行级联接口: 正常模式下输入接口相互切换, DIN工作模式下由DIN脚输入数据, FDIN工作模式下由FDIN脚输入数据, DO 转发级联的数据, 信号不因某颗芯片异常而影响其他芯片正常工作
- 振荡方式: 内置RC振荡并根据数据线上信号进行时钟同步, 在接收完本单元的数据后能自动将后续数据再生并通过数据输出端发送至下级, 信号不随级联变远而出现失真或衰减
- 内置上电复位电路, 上电复位后所有寄存器初始化为零
- ESD:HBM 3000V MM 300V
- 封装形式: SOT23-8

管脚图



管脚功能

引脚名称	引脚序号	I/O	功能说明
DIN	7	I	数据输入
FDIN	6	I	备用数据输入
DOUT	8	O	数据输出
GND	1	--	电源负极
OUTR/G/B	2、3、4	O	N管开漏, 恒流输出
VDD	5	--	电源正极



集成电路系静电敏感器件，在干燥季节或者干燥环境使用容易产生大量静电，静电放电可能会损坏集成电路，建议采取一切适当的集成电路预防处理措施，不正当的操作和焊接，可能会造成 ESD 损坏或者性能下降，芯片无法正常工作。

极限参数

参数名称	参数符号	极限值	单位
逻辑电源电压	VDD	-0.4~+9.0	V
DIN、FDIN 端口电压	Vin	-0.4~VDD+0.7	V
OUT 端口电压	Vout	-0.4~+9.0	V
工作温度范围	Topr	-40~+85	°C
储存温度范围	Tstg	-50~+150	°C
静电 ESD	人体模式 (HBM)	3000	V
	机器模式 (MM)	300	V

(1) 以上表中这些等级，芯片在长时间使用条件下，可能造成器件永久性伤害，降低器件的可靠性。我们不建议在其它任何条件下，芯片超过这些极限参数工作；

(2) 所有电压值均相对于系统地测试。

推荐工作条件

在-40~+85°C下测试，除非另有说明			FW1934			单位
参数名称	参数符号	测试条件	最小值	典型值	最大值	
电源电压	VDD		4.5	5.0	8.5	V
DIN、FDIN 端口电压	Vin	VDD=5V, DIN、FDIN 串接 1KΩ电阻			VDD+0.4	V
DO 端口电压	Vdo	VDD=5V, DO 串接 1KΩ电阻			VDD+0.4	V
OUT 端口电压	Vout	OUT=OFF			24.0	V

电气特性

在 VDD=4.5~5.5V 及工作温度-40~+85°C下测试， 除非另有说明			FW1934			单位
参数名称	参数符号	测试条件	最小值	典型值	最大值	
高电平输出电压	Voh	Ioh=3mA	VDD-0.5			V
低电平输出电压	Vol	Iol=10mA			0.4	V
高电平输入电压	Vih	VDD=5.0V	3.5		VDD	V
低电平输入电压	Vil	VDD=5.0V	0		1.5	V
高电平输出电流	Ioh	VDD=5.0V, Vdo=4.9V		1		mA
低电平输出电流	Iol	VDD=5.0V, Vdo=0.4V		10		mA
输入电流	Iin	DIN、FDIN 接 VDD		1		μA
静态电流	IDD	VDD=4.0V, GND=0V, 其他 端口悬空	0.5	1.2	1.5	mA
OUT 输出恒定电流	Iout	OUTR, OUTG, OUTB=ON, Vout=3.0V	13.3	14	14.7	mA
OUT 输出漏电流	Iolk	OUTR, OUTG, OUTB=OFF, Vout=24.0V			0.5	μA
通道间恒流误差	Δ Iolc0	OUTR, OUTG, OUTB=ON, Vout=3.0V			±3	%
芯片间恒流误差	Δ Iolc1	OUTR, OUTG, OUTB=ON, Vout=3.0V			±5	%
消耗功率	Pd	Ta=25°C			250	mW

开关特性

在VDD=4.5~5.5V及工作温度-40~+85°C下测试，典型值 VDD=5.0V, TA=+25°C, 除非另有说明			FW1934			单位
参数名称	参数符号	测试条件	最小值	典型值	最大值	
数据速率	Fin			800		KHz

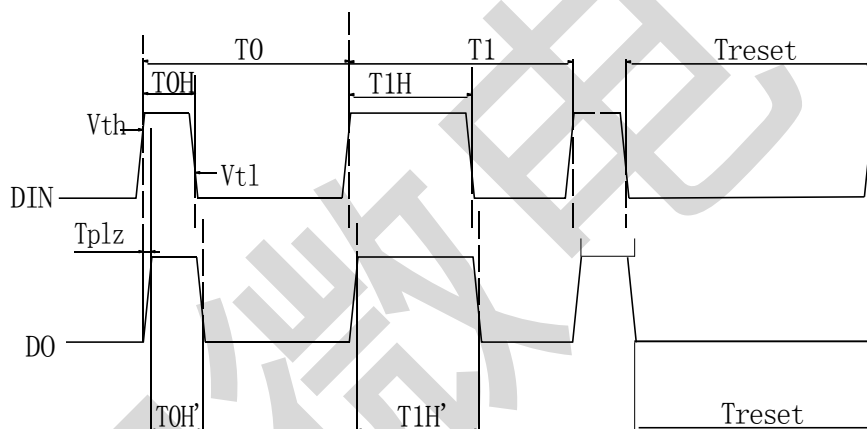
OUT PWM 输出频率	Fout	OUTR, OUTG, OUTB	666	Hz
传输延迟时间	Tplz	DIN → DO FDIN → DO	155	ns
输入电容	Ci		15	pF

时序特性

参数名称	符号	测试条件	最小值	典型值	最大值	单位
输入 0 码, 高电平时间	TOH	VDD=5.0V GND=0V	310	360	410	ns
输入 1 码, 高电平时间	T1H		650	720	1000	ns
输出 0 码, 高电平时间	TOH'		350			ns
输出 1 码, 高电平时间	T1H'		700			ns
0 码或 1 码周期	TO/T1		1.25			μs
Reset码, 低电平时间	Treset		200			μs

(1) 0 码或 1 码周期在 1.25 μs (频率 800KHz) 至 2.5 μs (频率 400KHz) 范围内, 芯片均可正常工作, 但是 0 码和 1 码高电平时间必须符合上表中相应数值范围;

(2) 不需复位时, 字节之间的低电平时间不要超过 50 μs, 否则芯片可能复位, 复位后又重新接收数据, 无法实现数据正确传送。



功能说明

芯片上电复位后, 开始接收显示数据, 接收完 24bit后, DO端口开始转发DIN或FDIN端继续发来的数据, 为下颗级联芯片提供显示数据。在转发数据之前, DO端口一直为低电平。如果DIN或FDIN端输入 Reset复位信号, 芯片OUT端口将根据接收到的 24bit显示数据输出相应占空比的PWM波形, 且芯片重新等待接收新的数据, 在接收完开始的 24bit数据后, 通过DO端口转发数据, 芯片在没有接收到Reset信号前, OUTR、OUTG、OUTB原输出保持不变。

芯片采用自动整形转发技术, 信号不会失真衰减。对于所有级联在一起的芯片, 数据传输的周期是一致的。

1.1 完整数据结构

D1	D2	D3	D4	...	Dn	Reset	D1	D2	D3	D4	...	Dn	Reset
----	----	----	----	-----	----	-------	----	----	----	----	-----	----	-------

D1、D2、D3、D4、……、Dn数据格式相同, 为各芯片的PWM设置命令, D1 表示级联第 1 颗芯片的显示数据包, Dn表示级联第n颗芯片的显示数据包, 每个显示数据包包含 24bit数据位。Reset表示复位信号, 低电平有效。

1.2 显示数据 Dn 的数据格式

R7	R6	R5	R4	R3	R2	R1	R0	G7	G6	G5	G4	G3	G2	G1	G0	B7	B6	B5	B4	B3	B2	B1	B0
----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----

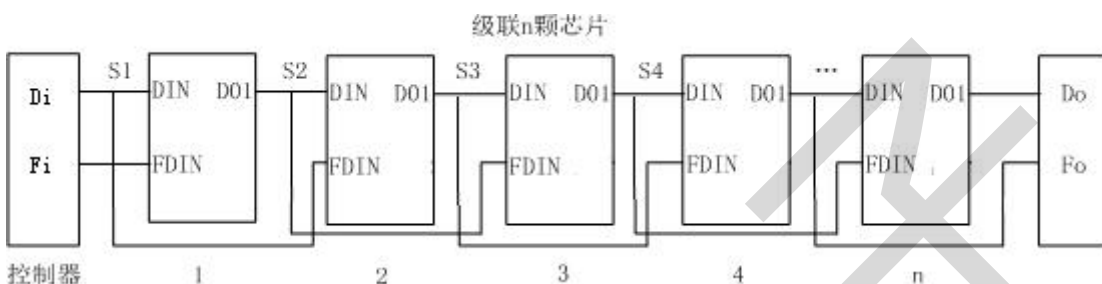
每个显示数据包包含 8×3bit数据位，高位先发。

R[7:0]:用于设置OUTR输出的PWM占空比。全 0 码为关断，全 1 码为占空比最大，256 级可调。

G[7:0]:用于设置OUTG输出的PWM占空比。全 0 码为关断，全 1 码为占空比最大，256 级可调。

B[7:0]:用于设置OUTB输出的PWM占空比。全 0 码为关断，全 1 码为占空比最大，256 级可调。

1.3 数据接收和转发

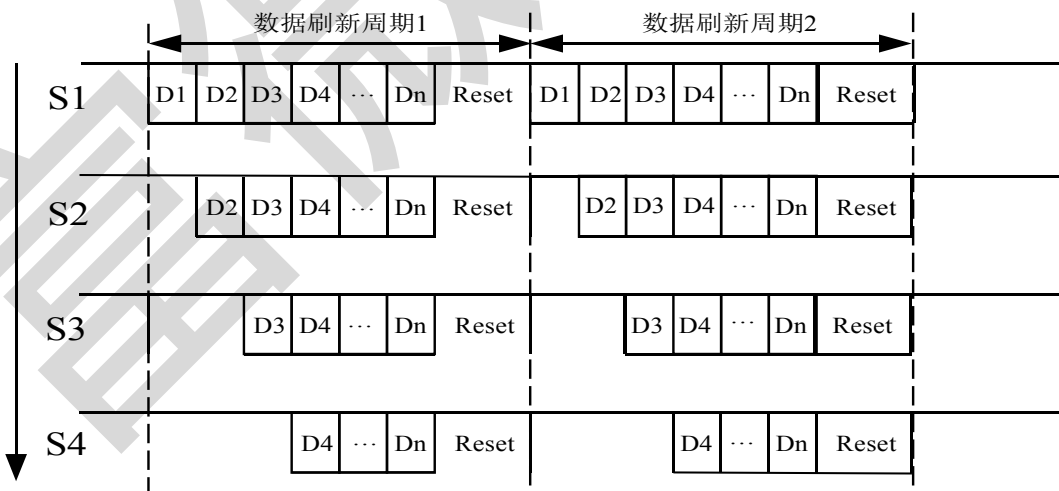


其中S1 为控制器Di端口发送的数据，S2、S3、S4 为级联FW1934转发的数据。

控制器Di端口数据结构为：D1D2D3D4……Dn；

控制器Fi端口数据结构：DxD1D2D3……Dn；其中Dx为任意 24bit数据位。

特别提醒：IC的DIN和FDIN两端口的数据不一样，正好差一个数据包，当是FDIN接收到数据时，会自动会丢掉Dx那个数据包以达到数据（花样）不会移位，正如此第一点接控制器请用DIN端口而非FDIN端口。

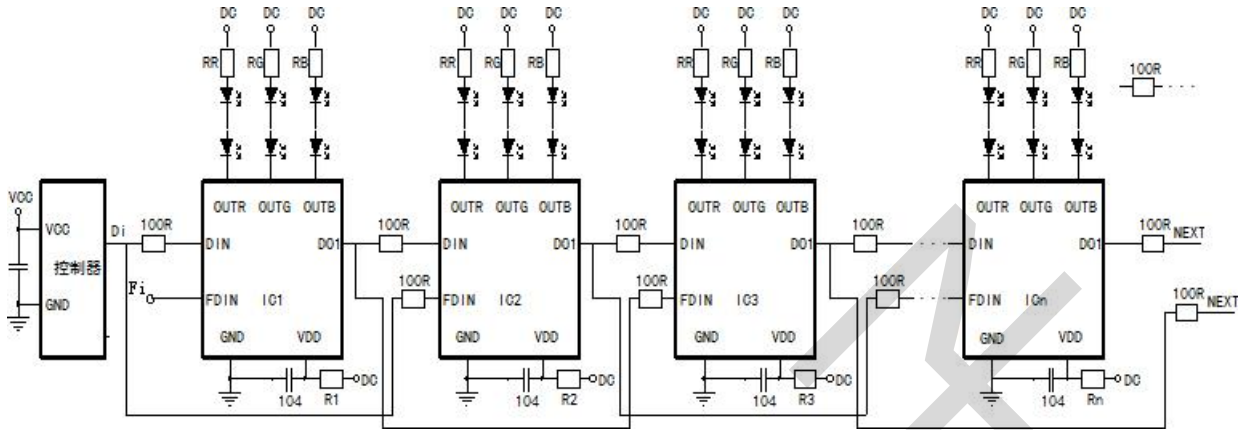


芯片级联时数据接收和转发过程如下：控制器发送数据包D1，芯片 1 接收第一组 24bit，此时芯片 1 无转发；然后控制器发送数据包D2，芯片 1 接收第二组 24bit，由于芯片 1 已经存有第一组 24bit，因此，芯片 1 通过D0把第二组 24bit转发给芯片 2，芯片 2 接收芯片 1 转发来的数据包D2，此时芯片 2 无转发；然后控制器发送数据包D3，芯片 1 又把接收到的第三组 24bit转发给芯片 2，由于芯片 2 已经存有第二组 24bit，因此，芯片 2 又把第三组 24bit转发给芯片 3，芯片 3 接收到第三组

24bit；依此类推，级联的所有芯片将得到各自的显示数据。此时如果控制器发送一个Reset信号，所有芯片将会复位并把各自接收到的24bit数据解码后控制OUT端口输出，完成一个数据刷新周期，芯片又回到接收准备状态。Reset低电平有效，保持低电平时间大于200 μ s，芯片复位；

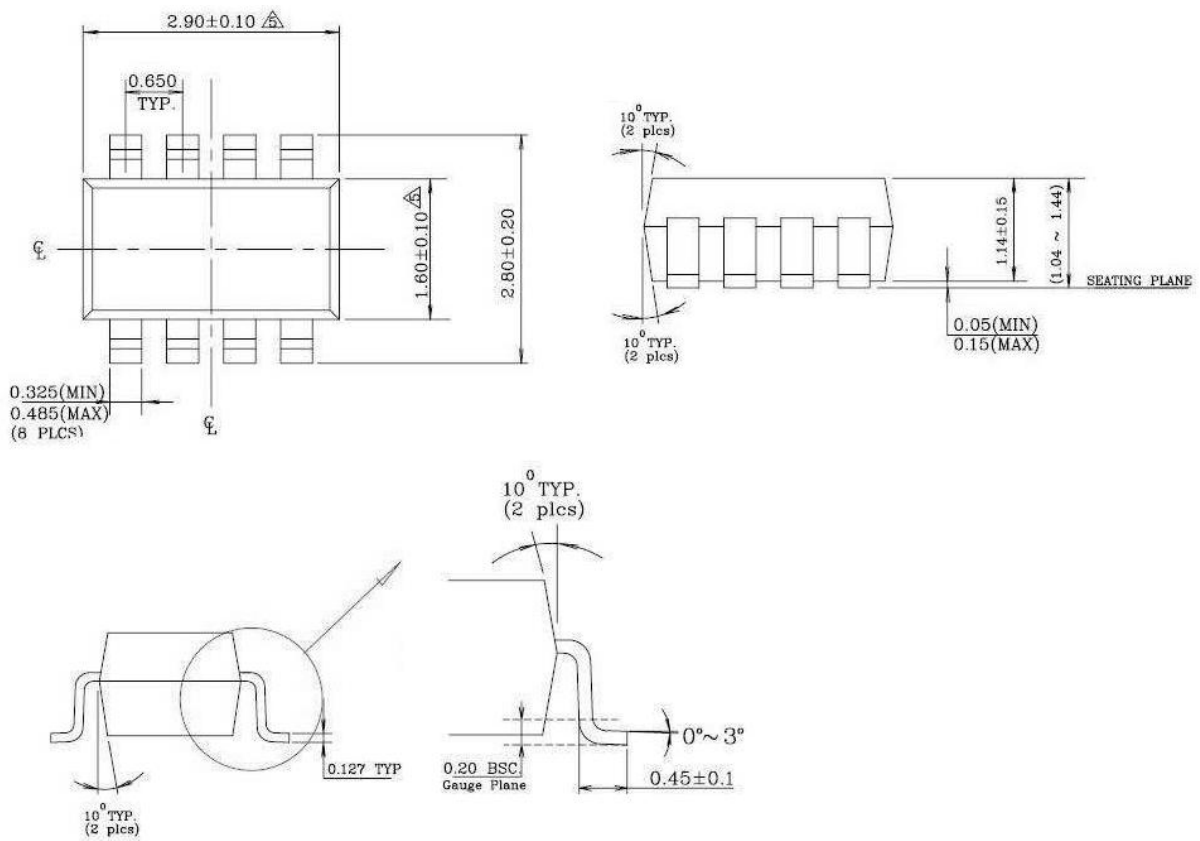
应用信息

1.4 典型应用电路



为防止产品在测试时带电插拔产生的瞬间高压导致芯片信号输入输出引脚损坏，应该在信号输入及输出脚串接100 Ω 保护电阻。此外，图中各芯片的104退耦电容不可缺少，且走线到芯片的VDD和GND脚应尽量短，以达到最佳的退耦效果，稳定芯片工作。另外第一个点控制器只需接DIN端口即可，FDIN端口可悬空；另若不需要断点续传功能，所有FDIN悬空即可。

封装示意图 SOT23-8



All specs and applications shown above subject to change without prior notice.
 (以上电路及规格仅供参考，如本公司进行修正，恕不另行通知)